

First Hit

End of Result Set



Generate Collection

Print

L3: Entry 1 of 1

File: JPAB

Sep 26, 1985

PUB-NO: JP360189250A

DOCUMENT-IDENTIFIER: JP 60189250 A

TITLE: SEMICONDUCTOR DEVICE

PUBN-DATE: September 26, 1985

INVENTOR-INFORMATION:

NAME	COUNTRY
ONODERA, TSUKASA	

ASSIGNEE-INFORMATION:

NAME	COUNTRY
FUJITSU LTD	

APPL-NO: JP59044514

APPL-DATE: March 8, 1984

US-CL-CURRENT: 257/280; 257/E21.697

INT-CL (IPC): H01L 27/06; H01L 27/04; H01L 29/80

ABSTRACT:

PURPOSE: To relieve the load of a metal wiring layer on a substrate, and to reduce the probability level of generation of trouble according to a step difference part by a method wherein a wiring pattern according to a semiconductor is formed in the semiconductor substrate using the semiinsulating semiconductor substrate.

CONSTITUTION: Silicon ions are implanted on a semiinsulating GaAs substrate 21, and activating heat treatment is performed to form a wiring pattern 23. A nondoped I-type GaAs layer 24 is grown according to the organic metal thermal decomposition vapor phase growth method. Silicon ions are implanted to form the channel region 25 of an MESFET and a connecting region 26 to the wiring pattern 23. A gate electrode 28 is provided using a high melting point heat resistant material such as tungsten silicide, etc., and ion implantation and activating heat treatment are performed to form a source region 29 and a drain region 30. The necessary surface part is covered with an insulatingly protective film 31, and a drain electrode 32 and a wiring 33 are formed of metal wiring layers.

COPYRIGHT: (C)1985, JPO&Japio

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭60-189250

⑬ Int.Cl.⁴

識別記号

庁内整理番号

⑭ 公開 昭和60年(1985)9月26日

H 01 L 27/06
27/04
29/80

6655-5F
8122-5F
7925-5F

審査請求 未請求 発明の数 1 (全6頁)

⑮ 発明の名称 半導体装置

⑯ 特 願 昭59-44514

⑰ 出 願 昭59(1984)3月8日

⑱ 発 明 者 小 野 寺 司 川崎市中原区上小田中1015番地 富士通株式会社内

⑲ 出 願 人 富 士 通 株 式 会 社 川崎市中原区上小田中1015番地

⑳ 代 理 人 弁 理 士 松 岡 宏 四 郎

明 細 書

1. 発明の名称

半導体装置

2. 特許請求の範囲

半導体性半導体基板と、該基板に格子整合する不純物を含む半導体によって形成された埋込み配線と、該埋込み配線を被覆する1型半導体層とを備えた半導体基体に、該埋込み配線によって選択的に接続された半導体能動素子又は受動素子が設けられてなることを特徴とする半導体装置。

3. 発明の詳細な説明

(a) 発明の技術分野

本発明は半導体装置、特に基板内に半導体配線パターンを備えて集積度の増大が容易な半導体装置に関する。

(b) 技術的背景

マイクロエレクトロニクスは現代産業進展の基盤となり、また社会生活に大きな影響を与えている。現在このマイクロエレクトロニクスの主役はトランジスタから超大規模集積回路装置に至るシ

リコン(Si)半導体装置であって、トランジスタ素子の微細化を推進して特性の向上と集積度の増大が進められている。トランジスタ素子の微細化は単に基板上の単位面積あたりの集積数が増大する効果のみではなく、トランジスタの特性が向上するという本質的な効果を有する。すなわち、例えば電界効果はトランジスタについてその寸法を $1/K$ に比例縮小して、不純物濃度を K 倍、電圧を $1/K$ にするならば、近似的に伝播時間、キャパシタンスは $1/K$ に、消費電力は $1/K^2$ に減少する。

しかしながら配線などの電気抵抗は前記の比例縮小によれば K 倍に増大する。また集積規模の増大は一般に配線規模のより高倍率の増大を必要とする。これらの理由から半導体集積回路装置の規模の拡大を進めるに際しては、その配線の構造が新しい手段を必要とする重要な問題となる。

更にシリコンの物性に基づく限界をこえる動作速度の向上、消費電力の低減などを実現するために、キャリアの移動度がシリコンより遥かに大き

い砒化ガリウム(GaAs)などの化合物半導体を用いる半導体装置が開発されている。

化合物半導体を用いるトランジスタとしては、その製造工程が簡単であるなどの理由によって電界効果トランジスタ(以下FETと略称する)の開発が先行しているが、化合物半導体装置の製造プロセスの進歩などに伴ってバイポーラトランジスタも開発が進められている。これらの化合物半導体トランジスタを素子とする集積回路装置(以下ICと略称する)は一般にその基板を半絶縁性として浮遊容量の減少などの効果を得ている。

(c) 従来技術と問題点

従来行なわれている半導体ICの構造の1例として、第1図にCMOS構造の断面図を示す。図において、1はn型半導体基板であり、フィールド酸化膜2によってnチャネル及びpチャネルFETの領域が画定されていて、nチャネルFETの領域にはp⁻型ウエル層3、n⁺型ソース及びドレイン領域4及びp⁺型チャネルカット5、pチャネルFETの領域にはp⁺型ソース及びドレ

イン領域6及びn⁺型チャネルカット7がそれぞれ形成されている。半導体基板1上にゲート酸化膜8を介してゲート電極9が設けられ、第1層の層間絶縁膜10を介して、第1層の金属配線11がゲート電極9並びにソース及びドレイン領域4及び6に接続して配設され、更に第2層の層間絶縁膜12を介して、第2層の金属配線13が第1層の金属配線11の接続領域11Aに接続して配設されている。

この例の如く従来のICにおいては、FET素子のゲート電極層以外に2層の金属配線層を用いる配線構造が最も多く行なわれているがそのパターンの密度は既に甚だ大きく、トランジスタ素子を更に微細化ししかも配線パターン幅等は微細化を抑制して、抵抗値の上昇を防止する余地を残さない。

この状況に対処するために、例えば金属配線層を3層以上とする構造、FET素子のゲート電極層に上部金属配線の役割の一部を負担させる構造など種種の構造が提案されている。しかしながら

例えば金属配線層の増加には従来の2層構造においてもしばしば問題となっている下層の配線によって生ずる段差部分における上層配線の断線乃至抵抗値上昇の問題が伴い、ゲート電極層を利用する構造は工程数が増加しない点で有利であるが、適用範囲が制限される。

以上説明した例は半導体基体上に金属層を形成して配線接続を行なうものであるが、金属よりなる配線等のパターンを半導体基体内に埋込む構造も提案されている。この構造は半導体素子の構造上の必要性から用いられる場合が多く、金属パターン上を被覆して半導体基体とエピタキシャルな単結晶半導体を成長させ、かつこれを製造プロセス中の温度変化に対して安定とすることは極めて困難であるために、微細で高集積度のIC等にこの種の構造を用いることは無理である。

また半導体領域間或いは半導体領域とオーミック接触電極間等の電気的接続を不純物を高濃度にドーブした低抵抗の半導体層又は領域で行なうことは一般に行なわれている。また半導体配線装置

のデコーダ回路等において、フィールド絶縁膜によって分離された半導体基体の表面近傍の高不純物濃度領域がアース母線、相互接続母線として用いられている例がある。

しかしながらこの半導体層又は領域による接続形成は、現在のSI-IC等においては周辺の他の領域との分離が煩雑であり微細化し難いなどの理由によって、半導体素子間配線として半導体基体上の金属配線層の如く高い自由度をもって活用されるには到っていない。

(d) 発明の目的

本発明は以上説明した現状に対処して、半絶縁性半導体基板を用いて半導体基体内に半導体による配線パターンが形成され、半導体基体の表面は素子形成の用に供することができて、半導体基体上の金属配線の余裕が得られ、前記の断線等の危険率が低減する半導体装置の構造を提供することを目的とする。

(e) 発明の構成

本発明の前記目的を達成する半導体装置は、半

絶縁性半導体基板と、該基板上に格子整合する、不純物を含む半導体によって形成された埋込み配線と、該埋込み配線を被覆する1型半導体層とを備えた半導体基体に、該埋込み配線によって選択的に接続された半導体能動素子又は受動素子が設けられてなる半導体装置である。

該半導体装置は、半絶縁性半導体基板内又は該基板上に、該基板と格子整合し不純物によって導電性が与えられた半導体によって配線パターンを形成し、該基板上に該配線パターンを被覆する1型すなわち通常ノンドープで抵抗率 $1 \times 10^6 [\Omega \cdot \text{cm}]$ 程度以上の半導体層を含みかつ該基板上に格子整合する半導体層を成長し、該半導体層内又は該半導体層上に該配線パターンによって選択的に接続された半導体能動素子又は受動素子を形成する工程を含む製造方法によって容易に実現することができる。

なお前記配線パターンを半絶縁性基板内に形成する方法としては、不純物イオンの選択的注入とその活性化熱処理を行なう方法、不純物イオンの

選択的拡散を行なう方法などがあり、また半絶縁性基板上に形成する方法としては、不純物を含んで低抵抗率の半導体層を該基板上にエピタキシャル成長した後、配線パターンのマスクを設けてその他の部分をエッチング除去しノンドープの半導体層をエピタキシャル成長する方法及び配線パターン以外の部分を酸素イオン(O^+)等の注入によって高抵抗化してノンドープの半導体被覆層をエピタキシャル成長する方法などがある。また半絶縁性基板を選択的にエッチングして溝状に配線パターンを形成し、溝内に低抵抗率の半導体を、次いで全面にノンドープの半導体をエピタキシャル成長する製造方法を実施してもよい。

(f) 発明の実施例

以下本発明を実施例により図面を参照して具体的に説明する。なお実施例としては、半絶縁性GaAs基板を用いショットキバリア形FET(以下MESFETと略称する)を素子とするICを取上げる。

第2図(a)乃至(e)は本発明の第1の実施例を示す

工程断面図である。

第2図(a)参照

抵抗率が例えば $1 \times 10^7 [\Omega \cdot \text{cm}]$ 程度の半絶縁性GaAs基板21上にレジスト膜を形成し、意図する配線パターンの窓開けを行なってマスク22とする。次いでドナー不純物、例えばシリコン(Si)をエネルギー170 (KeV)程度でドーズ量 $2 \times 10^{13} [\text{cm}^{-2}]$ 程度にイオン注入する。マスク22を除去し、例えば酸化アルミニウム(AlN)等による保護膜(図示されない)で基板21を被覆して、例えば温度800〔℃〕、時間10分間程度の活性化熱処理を行ない、配線パターン23が不純物濃度 $8 \times 10^{17} [\text{cm}^{-3}]$ 、抵抗率 $3 \times 10^3 [\Omega \cdot \text{cm}]$ 程度に形成される。

第2図(b)参照

前記保護膜を除去し、基板21表面の損傷を受けた層を例えば塩化水素(HCl)ガスを接触させて除去した後、本実施例においては有機金属熱分解気相成長方法(以下MOCVD法と略称する)によりトリメチルガリウム($\text{Ga}(\text{CH}_3)_3$)及びア

ルシン AsH_3 を原材料ガスとして、ノンドープの1型GaAs層24を基板21上に厚さ例えば0.9〔μm〕程度に成長する。

なお半導体能動素子等の形成のために不純物をドープした半導体層を成長してもよいが、この場合には配線パターン23との間に厚さ0.5〔μm〕程度以上の1型ノンドープ層を介在させる。

第2図(c)参照

MESFETのチャネル領域25及び配線パターン23との接続領域26を形成する。本実施例のチャネル領域25へのイオン注入は従来技術によりシリコン(Si)をエネルギー60〔KeV〕程度でドーズ量 $1 \times 10^{13} [\text{cm}^{-2}]$ 程度に注入し、接続領域26へのイオン注入はシリコン(Si)をエネルギー500〔KeV〕程度でドーズ量 $4 \times 10^{13} [\text{cm}^{-2}]$ 程度に注入している。

イオン注入後マスク27を除去し、AlN等による保護膜を設けて、温度800〔℃〕、時間10分間程度の熱処理を行なう。この結果接続領域26は不純物濃度最高値 $6 \times 10^{17} [\text{cm}^{-3}]$ 程度となる。

第2図(a)参照

従来技術により、例えばタンダステンシリサイド(WsI)等の高融点耐熱性材料を用いてゲート電極28を設け、セルフアライメント法によりソース領域29及びドレイン領域30を形成するイオン注入及び活性化熱処理を行なう。

第2図(b)

絶縁保護膜31で被覆し、オーミック接合電極、本実施例においてはドレイン電極32及び配線33等を第1層の金属配線層で形成する。更に層間絶縁膜を介して第2層の金属配線を設けることは従来同様に可能である。

次に第3図(a)乃至(c)は本発明の第2の実施例を示す工程順断面図である。

第3図(a)参照

前記第1の実施例と同様な半絶縁性GaAs基板41上に n^+ 型GaAs層42を厚さ例えば0.2乃至0.5[μm]程度にエピタキシャル成長する。

本実施例においてはMOCVD法により不純物源としてシラン(SiH_4)を用いて不純物濃度

$1 \times 10^{20} [\text{cm}^{-3}]$ 程度とし、抵抗率 $2 \times 10^{-4} [\Omega\text{cm}]$ 程度を得ている。

第3図(b)参照

n^+ 型GaAs層42上にリソグラフィ法によって配線パターンのマスク43を設けて選択的エッチングを行ない、 n^+ 型GaAs層42によって配線パターンを形成する。

第3図(c)参照

前記の配線パターンである n^+ 型GaAs層42を埋め込み被覆するノンドープのGaAs層44を例えばMOCVD法によって配線パターン上の厚さ0.5[μm]程度に成長する。

以上の如く配線パターンを埋込んだ半導体基体を得られる。これは前記第1の実施例の第2図(b)の状態と同等であり、前記例と同様の製造方法によって半導体装置を完成することができるが、配線パターンをエピタキシャル成長層によって形成しているためにその抵抗率が低減されている。

また第4図(a)乃至(c)は第3の実施例を示す工程順断面図である。

第4図(a)参照

前記各実施例と同様な半絶縁性GaAs基板51上に、二酸化シリコン(SiO_2)、窒化シリコン(Si_3N_4)或いはAlN等を用いて配線パターンの開口を備えたマスク52を設ける。基板51を選択的にエッチングして配線パターン53を溝状に形成する。

第4図(b)参照

前記第2の実施例と同様な n^+ 型GaAsを成長させる。この成長により配線パターン53の溝内は n^+ 型GaAs単結晶が成長し、基板51の表面と同一高さに達してその成長を終止する。またマスク52上には非晶質乃至多結晶のGaAs54が堆積する。

次いでマスク上に堆積したGaAs層54とマスク52とを除去する。この除去の際に単結晶GaAsよりなる配線パターン53面上をレジスト膜で保護することが望ましいが、このパターンニングでは先にマスク52を形成するリソグラフィ法に用いた露光マスクを用いることができる。

なおこの除去は例えば希酸(HF)：硝酸(HNO_3)=5:1(容積比)の混合液で行なうことができる。

第4図(c)参照

ノンドープのGaAs層55を第1の実施例と同様に基板51の全面に成長させる。以降の工程は前記実施例と同様となる。

以上説明した各実施例の如く本発明の半導体配線パターンには種々の製造方法があり、最適の方法を選択することが可能であって他の製造工程とも適応させ易い。前記実施例ではGaAs MES FETを対象としているが、GaAs以外の例えばインジウム・磷(InP)系等の半導体材料を用い、或いはMIS形等のFET、バイポーラトランジスタなどの半導体能動素子、更にはキャパシタンス、抵抗体等の受動素子を含むICについても本発明を適用することができる。

また前記実施例は配線パターンを単一の層で形成しているが、必要ならば同様の製造方法によって2層以上の複数の層で配線パターンを形成する。

(g) 発明の効果

以上説明した如く本発明によれば、集積回路装置の素子間配線の少なくとも一部が半導体基体内に埋込され、しかも半導体基体の表面は平坦であるために、半導体基体上の金属配線層の負担が緩和されかつ段差による障害発生の危険率が低減する。また半導体基体面の素子形成等に用いる面積を減少させることはない。従って集積回路装置の集積度を更に増大することが可能となる。

33は配線を示す。

代理人 弁理士 松岡 安四郎

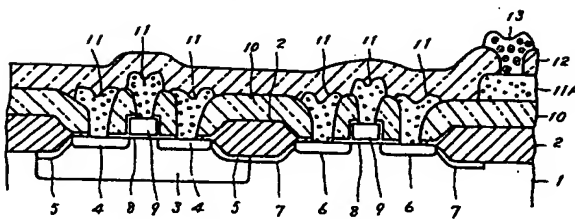


4. 図面の簡単な説明

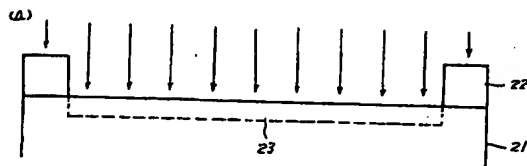
第1図は半導体集積回路装置の従来の配線の例を示す断面図、第2図(a)乃至(e)、第3図(a)乃至(c)及び第4図(a)乃至(c)はそれぞれ本発明の実施例を示す断面図である。

図において、21、41及び51は半絶縁性GaAs基板、23、42及び53は本発明による配線パターン、24、44及び55はI型GaAs層、25はチャネル領域、26は接続領域、28はゲート電極、29はソース領域、30はドレイン領域、31は絶縁保護膜、32はドレイン電極、

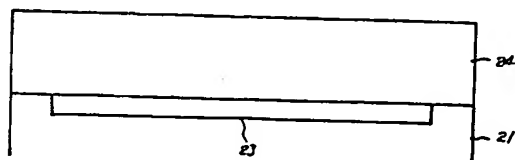
第1図



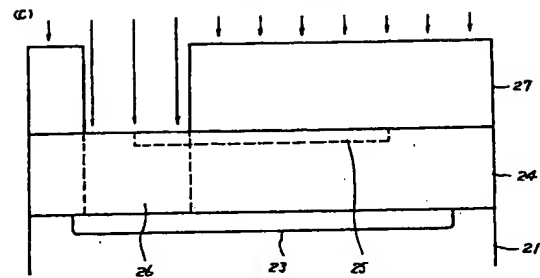
第2図



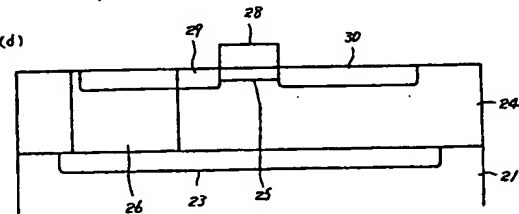
(b)



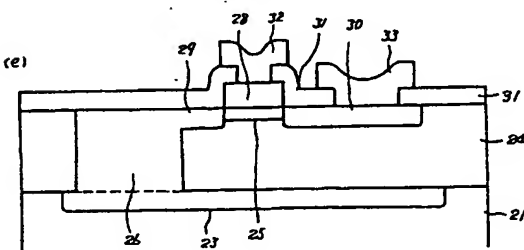
第2図



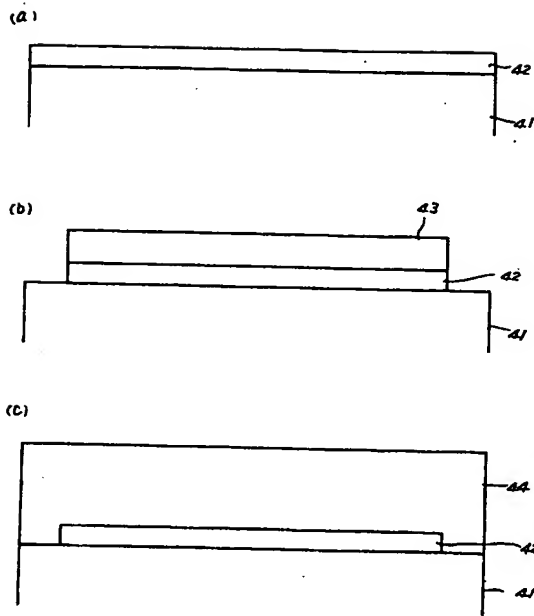
(d)



(e)



第 3 図



第 4 図

